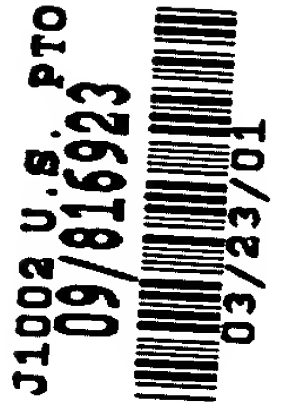


Docket No.: GR 98 P 2661

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : MANFRED ENGELHARDT
Filed : Concurrently herewith
Title : INTEGRATED CIRCUIT CONFIGURATION AND PRODUCTION
METHOD



CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119,
based upon the German Patent Application 198 43 624.6 filed September 23, 1998.

A certified copy of the above-mentioned foreign patent application is being submitted
herewith.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "W. Stemer", written over a horizontal line.

For Applicant

WERNER H. STEMER
REG. NO. 34,956

Date: March 23, 2001

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kc



J1002 U.S. PTO
09/816923
03/23/01

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen:

198 43 624.6

Anmeldetag:

23. September 1998

Anmelder/Inhaber:

Siemens Aktiengesellschaft, München/DE

Bezeichnung:

Integrierte Schaltungsanordnung und Verfahren
zu deren Herstellung

IPC:

H 01 L 23/532

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 20. Februar 2001
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Seller

Beschreibung

Integrierte Schaltungsanordnung und Verfahren zu deren Herstellung.

5

Die Erfindung betrifft eine integrierte Schaltungsanordnung, die insbesondere unter Verwendung von Kupfer als leitendem Material realisierbar ist.

10 Es werden zunehmend neue Materialien für den künftigen Einsatz in integrierten Schaltungsanordnungen untersucht. Unter anderem wird Kupfer als leitendes Material untersucht.

Bei diesen neuen Materialien tritt mitunter das Problem auf,
15 daß Halbleiterscheiben, insbesondere Siliziumscheiben, mit diesem Material kontaminiert werden.

Es ist daher vorgeschlagen worden (siehe zum Beispiel M. Woo et al, 1998 Symp. VLSI Technology Digest of Technical Papers, 20 Seiten 12 bis 13, oder L. Su et al, 1998 Symp. VLSI Technology Digest of Technical Papers, Seiten 18 bis 19), in integrierten Schaltungen, die Kupfer als leitendes Material enthalten, zwischen derartigen leitenden Strukturen aus Kupfer und dem Halbleitersubstrat eine isolierende Diffusionsbarriere vorzusehen und im Bereich von Kontakten der leitenden Struktur zum Halbleitersubstrat eine leitende Barriere vorzusehen. Durch diese Barrieren soll eine Diffusion von dem kontaminierenden leitenden Material der leitenden Struktur zum Halbleitersubstrat vermieden werden.

30

Ferner ist vorgeschlagen worden, oberhalb derartiger leitender Strukturen aus Kupfer Diffusionsbarrieren vorzusehen, die eine Diffusion des Kupfers in dielektrische Schichten, die als sogenanntes Intermetall-dielektrikum zwischen verschiedenen
35 Metallisierungsebenen verwendet werden, verhindern.

Zur Herstellung einer integrierten Schaltung mit zwei Ebenen leitender Strukturen aus Kupfer ist es bekannt (siehe zum Beispiel M. Woo et al, 1998 Symp. VLSI Technology Digest of Technical Papers, Seiten 12 bis 13 oder L. Su et al, 1998 Symp. VLSI Technology Digest of Technical Papers, Seiten 18 bis 19) zunächst die untere Ebene leitender Strukturen aus Kupfer zu bilden. Diese untere Ebene ist gegen das Halbleitersubstrat durch Diffusionsbarriereschichten getrennt, wobei im Bereich von Kontakten leitende Diffusionsbarrieren verwendet werden. Auf die untere Metallisierungsebene wird ganzflächig eine isolierende Diffusionsbarriereschicht aufgebracht und darauf eine weitere dielektrische Schicht, in der Kontaktlöcher zu den leitenden Strukturen der unteren Metallisierungsebene geöffnet werden. Anschließend wird zunächst eine elektrisch leitende Barriere aufgebracht. Danach werden die Kontaktlöcher mit Kupfer gefüllt.

Es hat sich gezeigt, daß es auch in dieser Struktur zu einer Kontamination der dielektrischen Schicht durch Kupfer kommt.

Der Erfindung liegt daher das Problem zugrunde, eine integrierte Schaltungsanordnung anzugeben, die mindestens zwei leitende Strukturen aufweist und in der eine Diffusion des Materials der leitenden Strukturen in umgebendes Material vermieden wird. Ferner soll ein Verfahren zur Herstellung einer derartigen integrierten Schaltungsanordnung angegeben werden.

Das Problem wird erfindungsgemäß gelöst durch eine integrierte Schaltungsanordnung gemäß Anspruch 1 sowie ein Verfahren zu deren Herstellung gemäß Anspruch 6. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

In der erfindungsgemäßen Schaltungsanordnung ist eine erste leitende Struktur vorgesehen, die in eine erste isolierende Schicht eingebettet ist. Oberhalb der ersten leitenden Struktur sind eine Diffusionsbarriereschicht und eine zweite iso-



lierende Schicht angeordnet, in denen ein Kontaktloch vorgesehen ist, das auf die erste leitende Struktur reicht. Die Seitenwände des Kontaktlochs sind oberhalb der Diffusionsbarriereschicht mit Spacern versehen, die als Barriere gegen eine Diffusion des Materials der ersten leitenden Struktur in die zweite isolierende Schicht wirken und die bis auf die Oberfläche der Diffusionsbarriereschicht reichen. In dem Kontaktloch ist eine zweite leitende Struktur angeordnet, die mit der ersten leitenden Struktur leitend verbunden ist.

10

Zur Herstellung einer derartigen integrierten Schaltungsanordnung wird auf ein Substrat, das mindestens die erste isolierende Schicht mit der ersten leitenden Struktur aufweist, die Diffusionsbarriereschicht aufgebracht. Darauf wird die zweite isolierende Schicht aufgebracht. In der zweiten isolierenden Schicht wird oberhalb der ersten leitenden Struktur das Kontaktloch geätzt, in dem die Oberfläche der ersten leitenden Struktur mit der Diffusionsbarriereschicht bedeckt ist. Anschließend werden an den Seitenwänden des Kontaktlochs die Spacer gebildet, die als Barriere gegen eine Diffusion des Materials der ersten leitfähigen Struktur in die zweite isolierende Schicht wirken. Daraufhin wird das Kontaktloch bis auf die Oberfläche der ersten leitenden Struktur geöffnet und mit der zweiten leitenden Struktur versehen.

15
20

Da die Seitenwände des Kontaktlochs mit den Spacern, die eine Diffusionsbarrierewirkung haben, bedeckt werden, ehe die Oberfläche der ersten leitenden Struktur in dem Kontaktloch freigelegt wird, wird in dieser Schaltungsanordnung vermieden, daß beim Öffnen des Kontaktlochs eine Ablagerung von an der Oberfläche der ersten leitenden Struktur während des Öffnens des Kontaktloches abgetragenem Material auf den Seitenwänden der zweiten isolierenden Schicht erfolgt. Derartige Ablagerungen während des Kontaktlochätzens werden dafür verantwortlich gemacht, daß in den nach bekannten Verfahren hergestellten Schaltungsanordnungen trotz der Verwendung von Diffusionsbarrieren eine Kontamination der dielektrischen

30
35

Schichten auftritt. In dem erfindungsgemäßen Verfahren kann eine derartige Ablagerung nur auf der Oberfläche der Spacer bzw. der Diffusionsbarriereschicht erfolgen. Da die Spacer und die Diffusionsbarriereschicht eine Diffusionsbarriere darstellen, wird eine Kontamination der zweiten isolierenden Schicht wirksam verhindert.

Vorzugsweise werden die Spacer aus elektrisch leitendem Material mit Diffusionsbarrierewirkung gebildet, da sich in diesem Fall der wirksame Leitungsquerschnitt der zweiten leitenden Struktur um die Spacerquerschnittsfläche vergrößert.

Zur Vermeidung von Kurzschlüssen zwischen der ersten leitenden Struktur und benachbarten leitenden Strukturen ist es vorteilhaft, die Diffusionsbarriereschicht aus einem isolierendem Diffusionsbarrierematerial, insbesondere SiN oder SiON vorzusehen.

Die erfindungsgemäße Schaltungsanordnung sowie das Verfahren zu deren Herstellung ist vorteilhaft anwendbar beim Einsatz von Materialien für die erste leitende Struktur und/oder die zweite leitende Struktur, die eine hohe Diffusion in benachbartes Material aufweisen. Insbesondere ist die Schaltungsanordnung und das Verfahren zu deren Herstellung vorteilhaft anwendbar bei Verwendung von Kupfer, Silber, Gold, Platin oder Palladium für die erste leitende Struktur und/oder die zweite leitende Struktur.

Für die Spacer sind alle Materialien mit Diffusionsbarrierewirkung geeignet, insbesondere SiN, SiON, Ta, TaN oder Ti oder TiN geeignet, wobei im Hinblick auf den Leitungsquerschnitt leitfähige Materialien vorzuziehen sind.

Vorzugsweise grenzt die erste leitende Struktur an eine erste Diffusionsbarrierestruktur an, die elektrisch leitend ist und die mindestens unterhalb und seitlich der ersten leitenden Struktur angeordnet ist und die als Barriere gegen eine Dif-

Ein Halbleitersubstrat weist mindestens eine Passivierungsschicht 1 und eine darauf angeordnete isolierende Diffusionsbarriereschicht 2 auf. Das Halbleitersubstrat umfaßt im wesentlichen monokristallines Silizium, die Passivierungsschicht 1 SiO_2 und die isolierende Diffusionsbarriereschicht 2 SiN . In der Passivierungsschicht 1 und der isolierenden Diffusionsbarriereschicht 2 ist ein Anschluß 3 aus Polysilizium oder Wolfram vorgesehen, der zur Kontaktierung eines im Halbleitersubstrat unterhalb der Passivierungsschicht 1 realisierten Bauelementes vorgesehen ist (siehe Figur 1).

Auf die Oberfläche der isolierenden Barriereschicht 2 wird eine erste isolierende Schicht 4 aus SiO_2 oder einem organischen oder anorganischen Material mit einer geringeren Dielektrizitätskonstante als SiO_2 , das in der Fachwelt als low k Material bezeichnet wird und für das Polyimid oder Stoffe mit der Handelsbezeichnung PBO, BCB, Flowfill oder Silk geeignet sind, in einer Schichtdicke von $0,1\text{ }\mu\text{m}$ bis $2\text{ }\mu\text{m}$ aufgebracht. In der ersten isolierenden Schicht 4 wird durch Bildung einer Öffnung, Abscheidung einer ersten leitfähigen Barriereschicht aus Ta und Abscheidung einer Kupferschicht sowie nachfolgendes chemisch-mechanisches Polieren bis zum Freilegen der Oberfläche der ersten isolierenden Schicht 4 eine erste Diffusionsbarrierestruktur 5 und eine erste leitende Struktur 6 gebildet. Die erste Diffusionsbarrierestruktur 5 grenzt an die Seiten und den Boden der ersten leitenden Struktur 6 an. Sie verhindert eine Diffusion des Kupfers der ersten leitenden Struktur 6 in die erste isolierende Schicht 4 sowie in den darunterliegenden Anschluß 3 und über diesen in das Halbleitersubstrat. Die erste leitende Struktur 6 ist in die erste isolierende Schicht 4 eingebettet.

Nachfolgend wird eine erste Diffusionsbarriereschicht 7 aus SiN in einer möglichst geringen Schichtdicke von typisch $< 100\text{ nm}$, vorzugsweise 10 bis 50 nm, aufgebracht. Auf die Diffusionsbarriereschicht 7 wird eine zweite isolierende Schicht 8 aus SiO_2 oder einem low k Material in einer Schichtdicke

fusion des Materials der ersten leitenden Struktur in benachbartes Material wirkt. Für die erste Diffusionsbarrierestruktur ist insbesondere Ta, TaN, Ti oder TiN geeignet.

5 Ferner ist es vorteilhaft, unterhalb der zweiten leitenden Struktur eine zweite Diffusionsbarrierestruktur vorzusehen, die elektrisch leitend ist und die unterhalb an die zweite leitende Struktur angrenzt und als Barriere gegen eine Diffusion des Materials der zweiten leitenden Struktur wirkt. Auch
10 für die zweite Diffusionsbarrierestruktur sind insbesondere Ta, TaN, Ti oder TiN geeignet.

15 Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels, das in den Figuren dargestellt ist, näher erläutert.

Figur 1 zeigt einen Schnitt durch ein Substrat mit einer ersten isolierenden Schicht, in die eine erste leitende Struktur eingebettet ist, mit einer Diffusionsbarriereschicht, die die erste leitende Struktur bedeckt,
20 und mit einer zweiten isolierenden Schicht, in der ein Kontaktloch bis auf die Oberfläche der Diffusionsbarriereschicht geöffnet ist.

25 Figur 2 zeigt den Schnitt durch das Substrat nach Abscheidung einer konformen Barriereschicht.

Figur 3 zeigt den Schnitt durch das Halbleitersubstrat nach Bildung von Spacern mit Diffusionsbarrierewirkung an den Seitenwänden des Kontaktloches.

30 Figur 4 zeigt den Schnitt durch das Halbleitersubstrat nach Freilegen der Oberfläche der ersten leitenden Struktur innerhalb des Kontaktloches.

35 Figur 5 zeigt den Schnitt durch das Halbleitersubstrat nach Bildung einer zweiten leitenden Struktur.

von 0,1 μm bis 2 μm aufgebracht. Mit Hilfe einer Ätzmaske 9 wird in einem Plasmaätzprozeß ein Kontaktloch 10 geöffnet, das oberhalb der ersten leitenden Struktur 6 angeordnet ist und das bis auf die Oberfläche der Diffusionsbarriereschicht 5 7 reicht.

Falls die zweite isolierende Schicht 8 aus SiO_2 besteht, wird die Ätzmaske 9 aus Photolack, Polyimid oder Photoimid gebildet und der Plasmaätzprozeß unter Verwendung eines CF_4 , CHF_3 10 und/oder C_4F_8 enthaltenden Ätzgases durchgeführt.

Falls die zweite isolierende Schicht 8 aus low k Material besteht, wird die Ätzmaske 9 aus SiO_2 , SiN oder SiON gebildet und der Plasmaätzprozeß mit einem O_2 enthaltenden Ätzgas unter 15 Zugabe von N_2 , CF_4 oder ähnlichem durchgeführt.

Nach Entfernen der Ätzmaske 9 wird eine konforme Diffusionsbarriereschicht 11 aus Ta durch PVD (Physical Vapor deposition) oder CVD (Chemical Vapor deposition) in einer 20 Schichtdicke von 10 bis 50 nm abgeschieden (siehe Figur 2).

Durch anisotropes Ätzen mit Fluor-Chemie (CF_4 , CHF_3 , zum Beispiel $\text{CF}_4 + \text{O}_2$) werden aus der konformen Barriereschicht 11 an den Seitenwänden des Kontaktloches 10 Spacer 11' gebildet. 25 Die Spacer 11' bestehen aus TaN und weisen eine Diffusionsbarrierewirkung gegen Kupfer auf (siehe Figur 3). Die Spacer 11' reichen bis auf die Oberfläche der ersten Diffusionsbarriereschicht 7.

30 Durch anisotropes Ätzen mit Fluor-Chemie wird die Diffusionsbarriereschicht 7 strukturiert, so daß das Kontaktloch 10 bis auf die Oberfläche der ersten leitenden Struktur 6 reicht. Bei diesem Ätzschritt ist die dem Kontaktloch zugewandte Oberfläche der zweiten isolierenden Schicht 8 mit den Spacern 35 11' bedeckt, so daß eine Ablagerung von an der Oberfläche der ersten leitenden Struktur 6 abgetragenen Material auf die Flanken der zweiten isolierenden Schicht 8, die dem Kontakt-

loch 10 zugewandt sind, vermieden wird (siehe Figur 4). Alternativ können die Ätzung der Spacer 11' und die Strukturierung der Diffusionsbarrierschicht 7 in einem Ätzschritt durchgeführt werden.

5

Anschließend wird eine zweite leitende Diffusionsbarrierschicht abgeschieden, die die Oberfläche der zweiten isolierenden Schicht 8, die Spacer 11' und die freiliegende Oberfläche der ersten leitenden Struktur 6 bedeckt. Die zweite leitende Diffusionsbarrierschicht wird in einer Schichtdicke von 10 nm bis 50 nm aus TaN durch eine PVD- oder CVD-Abscheidung gebildet. Durch Abscheidung einer weiteren Kupferschicht, die den verbliebenen Freiraum in dem Kontaktloch 10 auffüllt, und Strukturierung der Kupferschicht und der darunter angeordneten zweiten leitenden Diffusionsbarrierschicht werden eine zweite Diffusionsbarrierschicht 12 und eine zweite leitende Struktur 13 gebildet, die mit der ersten leitenden Struktur 6 leitend verbunden ist (siehe Figur 5). Die zweite leitende Struktur 13 ist als Leiterbahn einer Metallisierungsebene ausgestaltet.

10
15
20

Patentansprüche

1. Integrierte Schaltungsanordnung,

- 5 - bei der eine erste leitende Struktur (6) vorgesehen ist,
die in einer isolierenden Schicht (4) eingebettet ist,
- bei der oberhalb der ersten leitenden Struktur (6) eine
Diffusionsbarriereschicht (7) und eine zweite isolierende
10 Schicht (8) angeordnet sind, in denen ein Kontaktloch (10)
vorgesehen ist, das auf die erste leitende Struktur (6)
reicht,
- bei der die Seitenwände des Kontaktlochs (10) oberhalb der
15 Diffusionsbarriereschicht (7) mit Spacern (11') versehen
sind, die als Barriere gegen eine Diffusion des Materials
der ersten leitenden Struktur in die zweite isolierende
Schicht (8) wirken und die bis auf die Oberfläche der Dif-
fusionsbarriereschicht (7) reichen,
- 20 - bei der in dem Kontaktloch (10) eine zweite leitende Struk-
tur (13) angeordnet ist, die mit der ersten leitenden
Struktur (6) leitend verbunden ist.

- 25 2. Schaltungsanordnung nach Anspruch 1,
bei der die Spacer (11') elektrisch leitend sind.

3. Schaltungsanordnung nach Anspruch 1 oder 2,
bei der die erste leitende Struktur (6) an eine erste Diffu-
30 sionsbarrierestruktur (5) angrenzt, die elektrisch leitend
ist und die mindestens unterhalb und seitlich der ersten lei-
tenden Struktur (6) angeordnet ist und die als Barriere gegen
eine Diffusion des Materials der ersten leitenden Struktur
(6) wirkt.

35

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3,

bei der die zweite leitende Struktur (13) an eine zweite Diffusionsbarrierestruktur (12) angrenzt, die elektrisch leitend ist und mindestens unterhalb der zweiten leitenden Struktur (13) angeordnet ist und die als Barriere gegen eine Diffusion
5 des Materials der zweiten leitenden Struktur (13) wirkt.

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4,

- 10 - bei der die erste leitende Struktur (6) und/oder die zweite leitende Struktur (13) Kupfer, Silber, Gold, Platin oder Palladium enthält,
- bei der die Spacer (11') und/oder die erste Diffusionsbarrierestruktur (5) und/oder die zweite Diffusionsbarrierestruktur (12) Ta, TaN, Ti oder TaN enthalten.
- 15 *6. Schaltungsanordnung nach Anspruch 1,*
- bei der die Diffusionsbarrierschicht (7) und/oder die Spacer (11') SiN oder SiON enthalten.



20 7. Verfahren zur Herstellung einer integrierten Schaltungsanordnung,

- bei dem auf ein Substrat (1, 2, 3), das mindestens eine erste isolierende Schicht (4) aufweist, in die eine erste leitende Struktur (6) eingebettet ist, eine Diffusionsbarrierschicht (7) aufgebracht wird,
- 25 - bei dem auf die Diffusionsbarrierschicht (7) eine zweite isolierende Schicht (8) aufgebracht wird,
- 30 - bei dem in die zweite isolierende Schicht (8) oberhalb der ersten leitenden Struktur (6) ein Kontaktloch (10) geätzt wird, in dem die Oberfläche der ersten leitenden Struktur (6) mit der Diffusionsbarrierschicht (7) bedeckt ist,
- 35 - bei dem an den Seitenwänden des Kontaktlochs (10) Spacer (11') gebildet werden, die als Barriere gegen eine Diffusi-

on des Materials der ersten leitfähigen Struktur (6) in die zweite isolierende Schicht (8) wirken,

- bei dem das Kontaktloch (10) bis auf die Oberfläche der ersten leitenden Struktur (6) geöffnet wird,
- bei dem in dem Kontaktloch (10) eine zweite leitende Struktur (13) gebildet wird, die mit der ersten leitenden Struktur (6) leitend verbunden ist.

10

7. Verfahren nach Anspruch 6,

bei dem die Spacer (11') aus elektrisch leitendem Material gebildet werden.

15 8. Verfahren nach Anspruch 7 oder 7,

- bei dem zur Herstellung der ersten elektrisch leitenden Struktur (6) auf das Substrat (1, 2, 3) die erste isolierende Schicht (4) aufgebracht wird,

20

- bei dem in der ersten isolierenden Schicht (4) eine Öffnung erzeugt wird,

25

- bei dem durch Abscheiden und Strukturieren einer ersten leitenden Barrierschicht eine erste Diffusionsbarrierestruktur (5) gebildet wird, die elektrisch leitend ist und die den Boden und die Seitenwände der Öffnung bedeckt,

30

- bei dem die erste leitende Struktur (6) durch Auffüllen der Öffnung mit leitendem Material gebildet wird.

10

9. Verfahren nach einem der Ansprüche 7 bis 8,

- bei dem nach der Öffnung des Kontaktloches (10) bis auf die Oberfläche der ersten leitenden Struktur (6) eine zweite leitende Barrierschicht abgeschieden wird,

35



12

- bei dem eine leitende Schicht abgeschieden wird,

- bei dem durch Strukturierung der leitenden Schicht und der zweiten leitenden Barrierschicht die zweite leitende Struktur (13) und eine darunter angeordnete zweite Diffusionsbarrierestruktur (12) gebildet werden.

11. Verfahren nach einem der Ansprüche ⁷ 8 bis ¹⁰ 9,



10 - bei dem die erste leitende Struktur (6) und/oder die zweite leitende Struktur (13) Kupfer, Silber, Gold, Platin oder Palladium enthalten,

15 - bei dem die Spacer (11') und/oder die erste Diffusionsbarrierestruktur (5) und/oder die zweite Diffusionsbarrierestruktur (12) Ta, TaN, Ti oder TiN enthalten.

12. Verfahren nach Anspruch 11,

- bei dem die Diffusionsbarrierschicht (7) und/oder die Spacer (11') SiN oder SiON enthalten.



Zusammenfassung

Integrierte Schaltungsanordnung und Verfahren zu deren Herstellung.

5

In einer integrierten Schaltungsanordnung sind oberhalb einer ersten leitenden Struktur (6), die in eine erste isolierende Schicht (4) eingebettet ist, eine erste Barriereschicht (7) und eine zweite isolierende Schicht (8) angeordnet, in denen
10 ein Kontaktloch (10) vorgesehen ist, das auf die erste leitende Struktur (6) reicht. Die Seitenwände des Kontaktlochs (10) sind oberhalb der ersten Barriereschicht (7) mit Spacern versehen, die als Diffusionsbarriere wirken und die bis auf die Oberfläche der ersten Barriereschicht (7) reichen. In dem
15 Kontaktloch (10) ist eine zweite leitende Struktur (13) angeordnet, die mit der ersten leitenden Struktur (6) leitend verbunden ist. Die Spacer verhindern bei der Herstellung des Kontaktlochs eine Ablagerung von Material der ersten leitenden Struktur (6) auf der Oberfläche der zweiten isolierenden
20 Schicht (8).

Figur 5

FIG 1

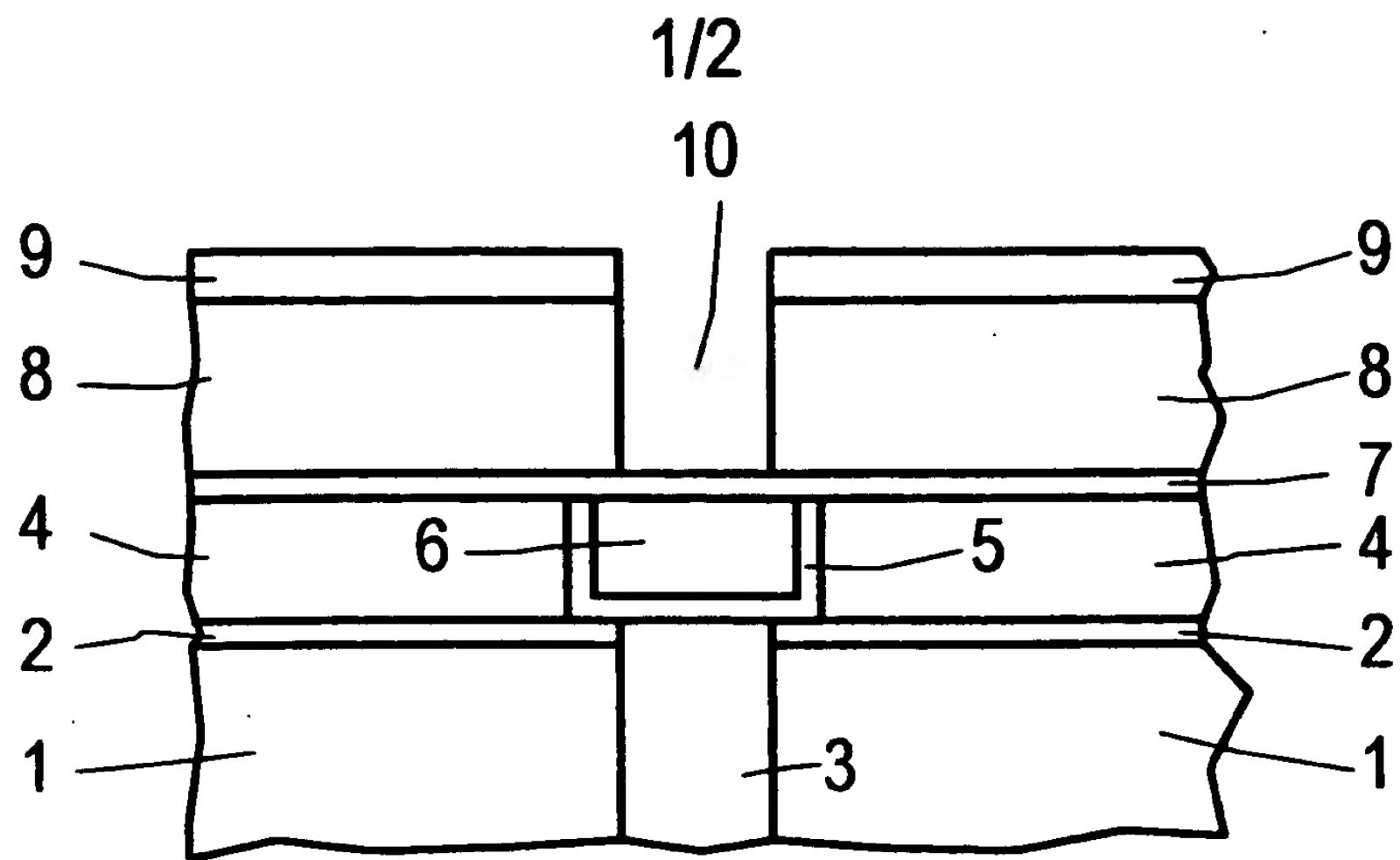


FIG 2

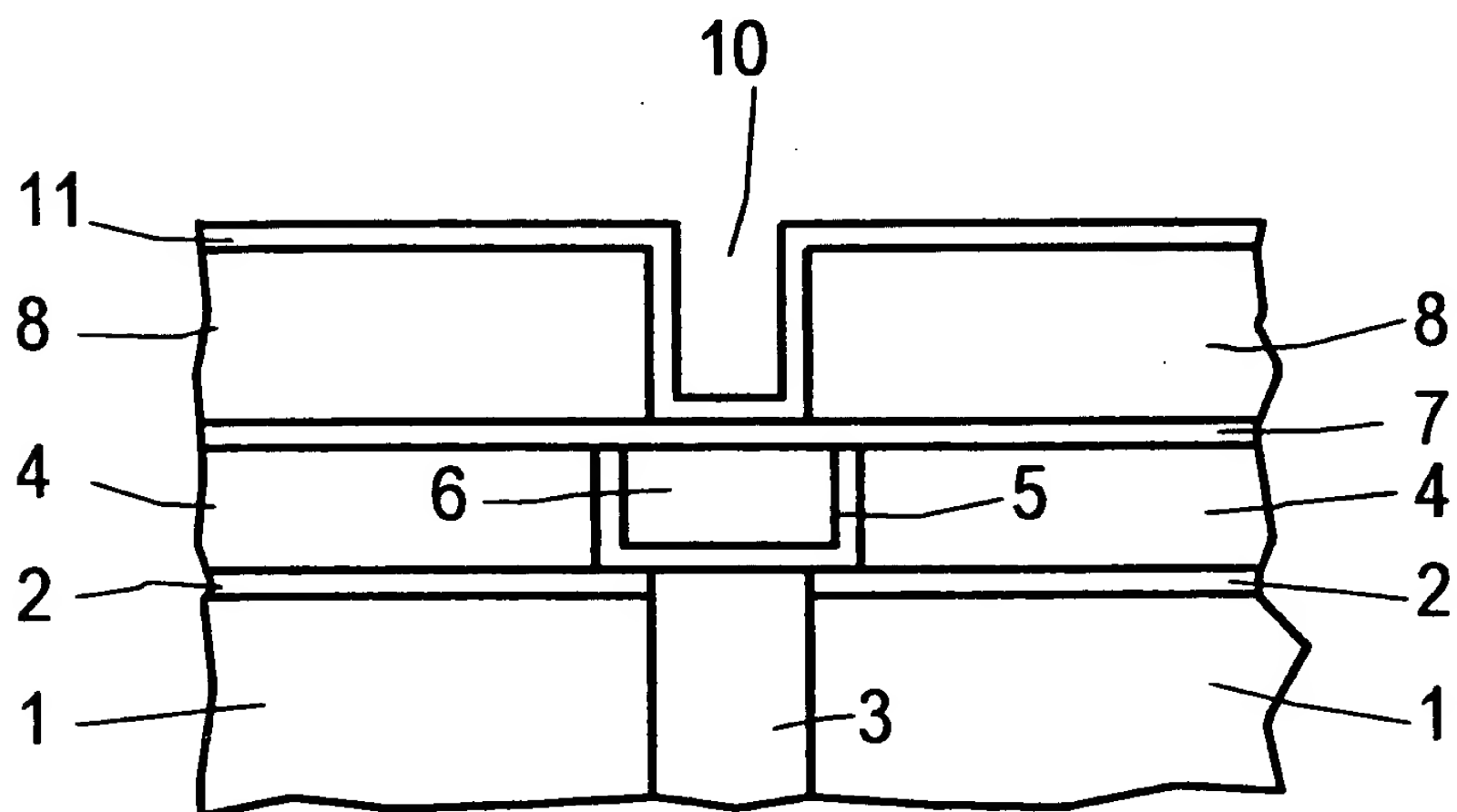


FIG 3

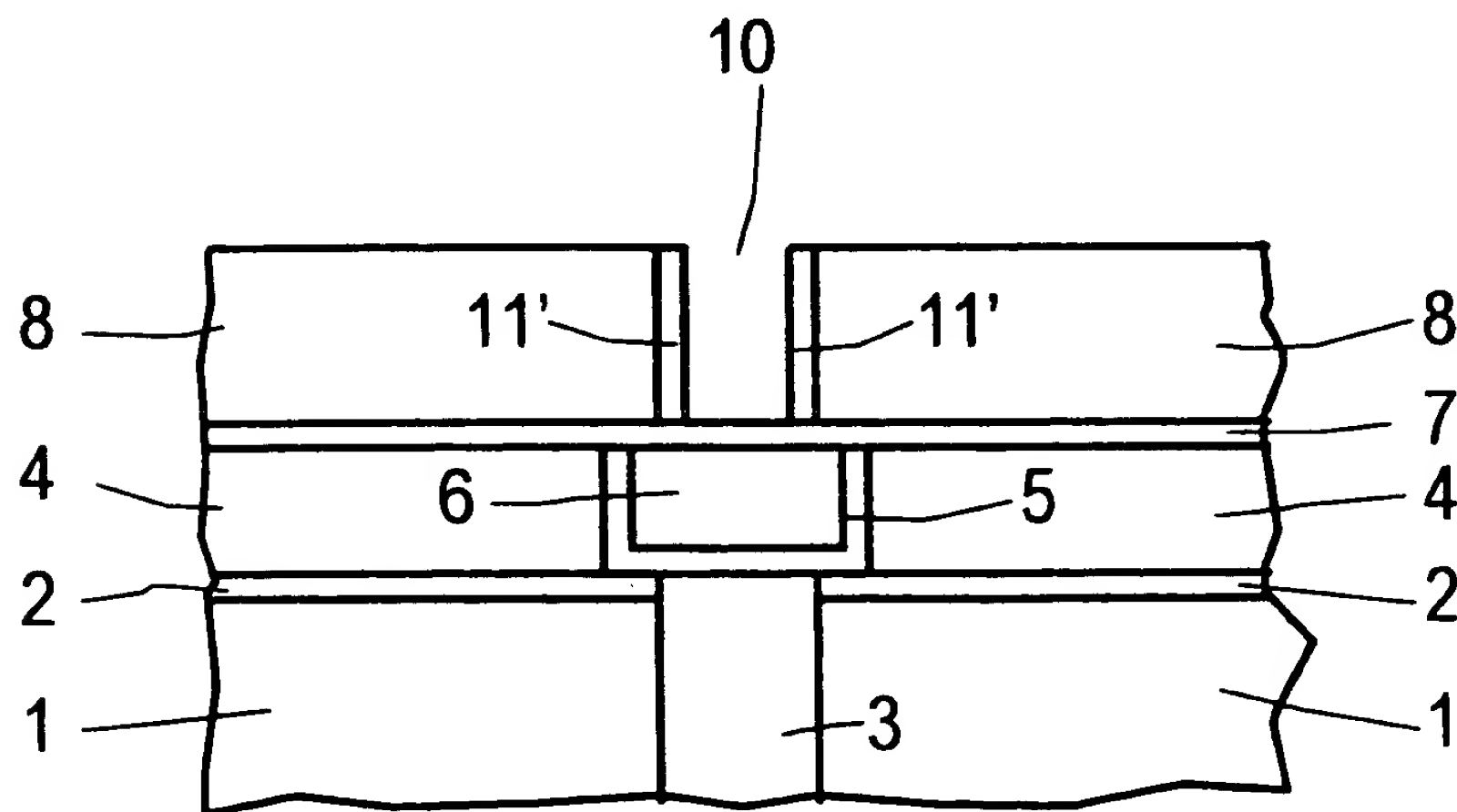


FIG 4

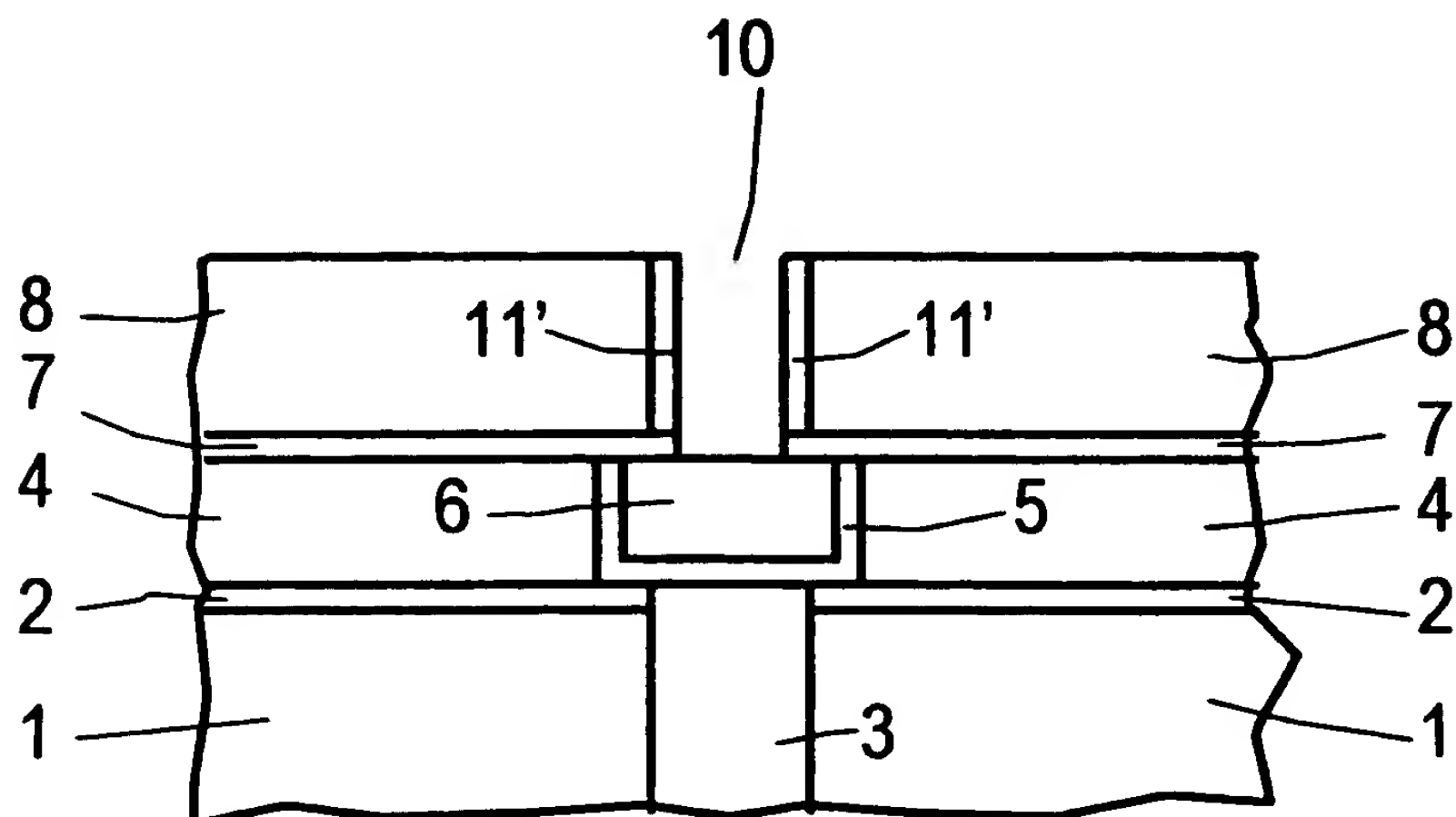
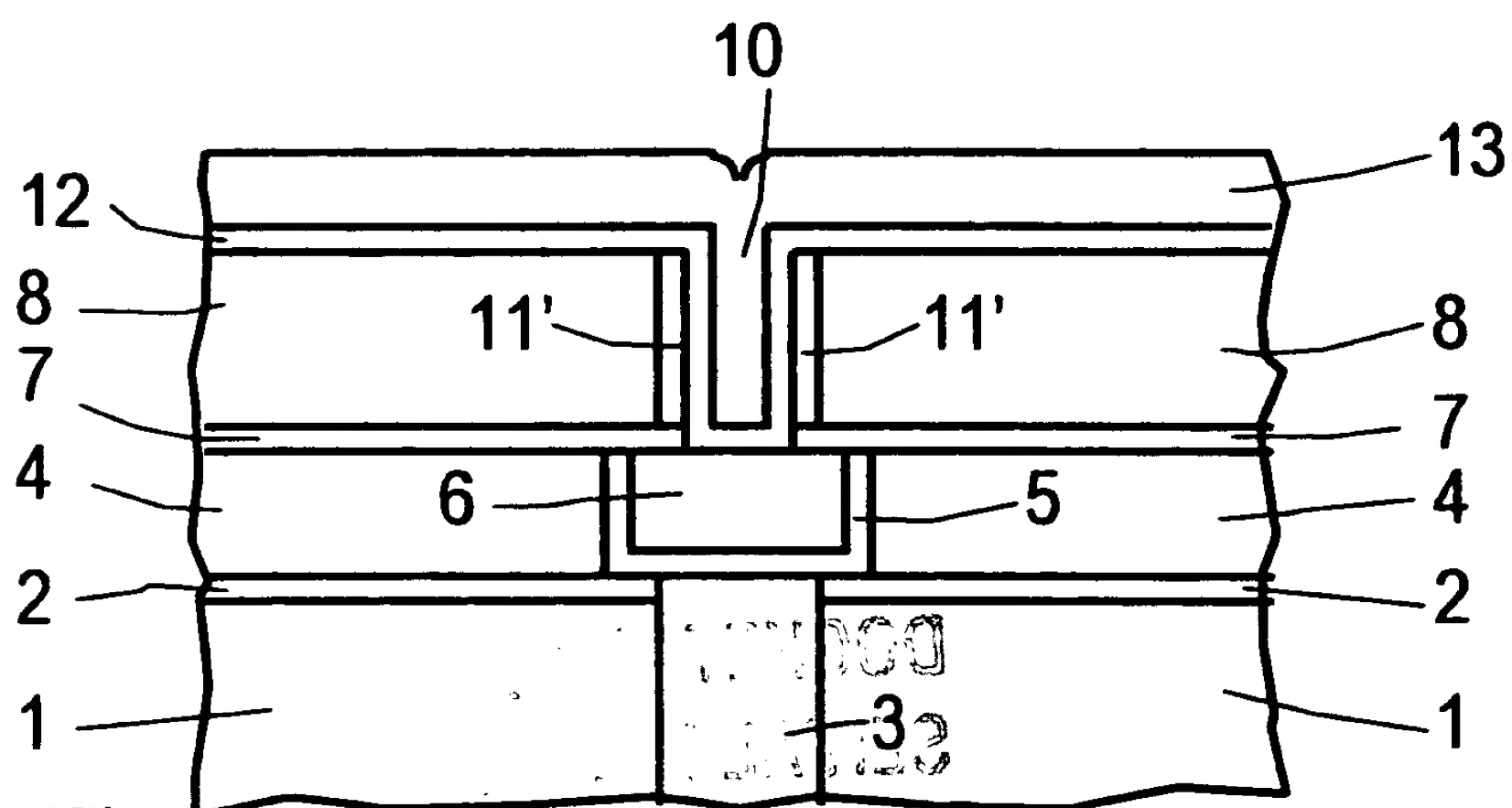


FIG 5



APPLIED TO THE PATENT
 OFFICE OF THE
 U.S. PATENT AND
 TRADEMARK OFFICE
 WASHINGTON, D.C. 20540
 TEL (202) 352-1100
 HOLLYWOOD, FLORIDA 33035
 P.O. BOX 1480
 TEL (202) 352-1100